

優先権主張  
アメリカ合衆国  
1974年9月9日  
出願番号第 504087号

特許願  
(特許法第88条九款の規定による特許出願)

昭和50年8月26日

特許庁長官殿

- 発明の名称  
ストアされたデータをリフレッシュする方法  
およびデータストレージ装置
- 特許請求の範囲に記載された発明の数 8
- 発明者  
住所 アメリカ合衆国、ニュー・ジャージー州、ピスカタウェイ  
ロイヤル・ドライブ 87、アパートメント 427  
氏名 ボーダバリッシュ・ベニグラヒ
- 特許出願人  
住所 アメリカ合衆国、ミシガン州、デトロイト  
パロース・プレイス、無番地  
名称 パロース・コーポレーション  
代表者 ボール・ダブリュ・フィッシュ  
国籍 アメリカ合衆国
- 代理人  
住所 大阪市北区南森町11番地 八千代第一ビル  
電話 大阪(06)851-6289(代)  
氏名 伊藤(0474) 深見 久郎

# 明 細 書

## 1. 発明の名称

ストアされたデータをリフレッシュする方法  
およびデータストレージ装置

## 2. 特許請求の範囲

(1) ストアされた電荷があるかないかによつて  
データビットが読まれる一連のシフトレジスタ  
にストアされたデータをリフレッシュする方法で  
あつて、

各々の前記データビットを同時に再生し、かつ  
各々の前記データビットを同時に再生する間に  
続いて前記シフトレジスタのスタックでデータビットを  
後戻りさせるようにシフトするリフレッシュ方法。

(2) 複数の再生手段を含む電荷転送素子シフト  
レジスタのスタックにストアされたデータビット  
をリフレッシュする方法であつて、

前記スタック内をダウンしてかつ少なくとも1個  
の前記再生手段を通して各々のデータビットをシ  
フトし、かつ

続いて前記スタック内を後戻りしかつ少なくとも

## ① 日本国特許庁 公開特許公報

①特開昭 51-50616

④公開日 昭51.(1976)5.4

②特願昭 40-104898

②出願日 昭50.(1975)8.26

審査請求 未請求 (全16頁)

庁内整理番号

7046 46  
7164 46

⑤日本分類

P717C1P  
P717C61

⑤Int.CI<sup>2</sup>

G11C 11/34  
G11C 19/28

1個の前記再生手段を通してデータビットをシフトするリフレッシュ方法。

(3) 各々が再生手段を含む電荷転送素子シフトレジスタのスタック内に連続的に配列されたワード形態でストアされたデータをリフレッシュする方法であつて、

前記スタックの少なくとも1ワード位置ダウンし  
かつ少なくとも1個の再生手段を通して各データ  
ワードをシフトし、かつ

続いて前記スタックの少なくとも1ワード位置後  
戻りさせかつ少なくとも1個の再生手段を通して各  
データワードをシフトするリフレッシュ方法。

(4) データビットが、ストアされた電荷のパケ  
ットによつて読まれる複数のシフトレジスタ  
を備え、各レジスタは入力端および出力端を有し、  
かつ各レジスタがその隣接レジスタの方向と反対  
方向にシフトするように一方の次に他方が積み重  
ねられかつ配向されかつクロックされ、および

前記レジスタを相互接続するために選択的に動  
作して、前記レジスタを通して前記データビット

の各々のダウンシフトおよび前記データビットの各々の再生を能動化し、または前記レジスタを通して前記データビットの各々のアップシフトおよび前記データビットの各々の再生を能動化する手段、を備えたデータストレージ装置。

(5) データワードが直列順序で連続的にストアされるシフトレジスタのスタック、および

前記ワードの連続的顺序を防げることなく前記スタック内で前記データワードをアップまたはダウンシフトする手段から成るデータストレージ装置。

(6) 電荷転送素子シフトレジスタのスタックから成るメモリにおいて、電荷パケットの形態で前記レジスタの少なくとも1個へのデータビットエントリを制御する装置であつて、

ソース領域、

前記ソース領域と前記少なくとも1個のシフトレジスタの導電チャネルとの間に介在され、少なくとも1個の制御領域を含む第1導電経路、ならびに前記ソース領域と前記少なくとも1個のシフトレ

ット (Packet) が有るかないかとしてストアされる。これらの少数キャリアのパケットは最初にソース拡散からレジスタへ注入され、かつレジスタ電極上の電圧を変化させることによつて一電極から次の電極へシフトされる。2, 3 または 4 個の位相電圧を用いて、電極電圧を変えかつレジスタをクロックするための種々の配置が可能である。レジスタの最後のストレージセルにクロックされた情報は検出されてもよく、または最後のレジスタストレージセルとドレイン拡散との間に配置されるフローティング拡散によつて他のレジスタへ転送することもできる。ドレイン拡散の目的は、電荷パケットが表わす情報が転送または検出された後にその電荷パケットを除去することである。

そのようなシフトレジスタは、特にスタックメモリ設計に適したものとしての示唆を与える。過去において、後入れ先出しまたは先入れ先出しの種類の直列スタックメモリがコンピュータシステムにおいて幅広く用いられていた。それらはソフトウェアプログラムによつてランダムアクセスメ

ジスタの導電チャネルとの間に介在され、少なくとも1個の制御領域を含む第2導電経路から成る装置。

### 3. 発明の詳細な説明

#### 発明の背景

この発明は一般にコンピュータメモリ機構に関するもので、より特定のには電荷転送素子シフトレジスタから成りかつ後入れ先出しまたは先入れ先出し動作が可能スタックメモリ機構に関する。広い観点から云つて、この発明は、公知の MOS シフトレジスタのようにストアされた電荷のリフレッシュが必要な他の電荷ストレージメモリに応用例を見出すこともできるが、この発明は特に電荷転送素子の実施例に向けられる。

電荷転送素子シフトレジスタは、1973年9月11日に W.F. Kosonocky に対して発行されたアメリカ合衆国特許第 3,758,794 号によつて示されるようにこの技術分野においてよく知られている。そのようなレジスタでは、情報はレジスタの電極下のストレージセル中の少数キャリアの電荷パケ

メモリから度々切り放され、従つてプログラムの仕事を複雑化した。その他の場合、スタックメモリのハードウェア実施例は MOS および他の半導体メモリ構造から構成された。しかしながら、電荷転送素子の簡易さおよび物理的大きさゆえに、それらの素子を利用し、かつ有効な機構計画に基づいて構成されるスタックメモリは、先行技術のハードウェア実施例以上の多くの利点を有する。特に、組立コストの減少および集積回路チップあたりのストレージ容量の増大を生じる。

メモリ応用に電荷転送素子を用いるとき、メモリを周期的にリフレッシュ (refresh) する必要がある。さもなければ、少数キャリアの熱的なおよびその他の発生がメモリ内容の損傷をきたす。加えて、電荷転送の不十分さのため、或る数の電荷転送後電荷が再生されることが必要である。

先行技術の素子は、リフレッシュ問題に対していくつかの解決を提供した。その1つでは、メモリのデータがメモリからシフトされ、一時的にストアされかつシフトして戻された。そのようなア

フローチはあまりにも複雑化され、スペースを浪費しかつスタックメモリ応用には不適当であつた。他の方法は電荷転送素子シフトレジスタ構造とともに特に用いられ、シフトレジスタまたは一連のそれらを連続ループに接続することを含み、ストアされたデータがそこを連続的に循環される。この循環の間に、データは前に議論されたフローティング拡散配置のような再生手段を通過する。そのような技術は、最初または最後のデータ項目がすぐにアクセスできるようにすべての時間において特定の順序にデータが維持されるべきことが所望されるような、後入れ先出しまたは先入れ先出しスタックの簡単な機構化には役立たない。

データをリフレッシュしかつ電荷転送素子スタックメモリのシフトレジスタ間でデータを転送するための有効な構造を機構化する問題は、メモリの大きさの最小化を競う関心事によつてさらに複雑化される。2位相電荷転送素子構造はより簡単化されかつ8または4位相構造よりも約20%の空間節約になる。集積回路用路に翻訳されれば、

この発明のさらに他の目的は、簡単なかつ拡張し得る集積回路設計において電荷転送素子スタックメモリ機構およびリフレッシュ技術を実現することである。

この発明のさらに他の目的は、単方向シフトレジスタから成る電荷転送素子において双方向直列データ転送を容易にすることである。

この発明の特定の目的は、データがスタック内で交互的にシフトアップされかつその後シフトダウンされるリフレッシュ技術を利用した一連の単方向性、2位相電荷転送素子シフトレジスタから後入れ先出し、先入れ先出しスタックメモリを構成することである。

この発明のこれらおよび他の目的および利点は、各上に横たわるレジスタのドレインが、すぐその下に横たわるレジスタのソースに対向して横たわるように、一連の単方向電荷転送素子シフトレジスタを他方の上に一方を覆ひ重ねることによつて達成される。スタックの一方側では、連続的なレジスタ対が従来の電荷再生手段によつて接続され

る。2位相構造はオンチップ(on-chip)複雑さを減じかつチップあたりのビット密度がより高くなる。それゆえに、電荷転送素子シフトレジスタを用いることから最大の利点を得るために、2位相構造を用いることが大いに望まれる。しかしながら、これらの構造は固有にデータを単方向的に転送するが、他方後入れ先出しまたは先入れ先出しのいずれかのモードに動作するように設計された直列スタックメモリ中で複雑構造を避けるために双方向性能力が必要である。先行技術は、連続ループデータ再生方法を通じて単方向性シフトレジスタを双方向性データ転送に適合させる転送およびリフレッシュ機構を提供しなかつた。

#### 発明の概要

それゆえに、この発明の目的は電荷転送素子シフトレジスタからスタックメモリを効率的に構成することである。

この発明のもう一つの目的はそのようなメモリの内容をリフレッシュするための簡単なかつ能率的な技術を提供することである。

他方側では、レジスタは、一連のアップおよびダウングートを実施する修正された再生および電荷注入構造を介して接続される。これらのゲートは、POPまたはPUSH信号に反応して選択的に閉成され、シフトするデータをスタック内でかつ再生手段を介して交互にアップまたはダウンさせ、一方、スタック内でデータの相対的な順序を保持する。付加ゲート回路はアップおよびダウングートと協働してスタック設計を拡張かつ後入れ先出しまたは先入れ先出しモードのいずれかのモードでスタックをアクセスすることを可能にする。

この発明の前述の目的および利点は、それを用いることによつて得られる他の目的および利点とともに、図面と関連して読まれるこの発明の以下の詳細な説明から明らかとなろう。

#### 発明の好ましい実施例の詳細な説明

この発明の好ましい実施例をまず第1A図および第1B図に関して述べる。これらの図の簡略化した略図構造はこの発明の好ましい実施例のスタ

フタノモリの動作原理を最もよく示す。

この発明は任意数の電荷転送素子シフトレジスタ対1ないしMのスタックに基づく。スタックの一方側では、レジスタは従来の再生手段11によつて接続され、かつスタックの他方側ではレジスタは、アップゲート13およびダウンゲート15に取り入れられた修正された電荷再生手段によつて相互接続される。レジスタスタックへの入力および出力は、スタックの上ではPUSH入力回路19およびPOP出力回路21によつて与えられかつスタックの下ではCHIP POP入力回路23およびOUT出力回路25によつて与えられる。結局、クロッキングおよび制御回路27はレジスタ対1ないしMのクロック動作、種々のゲート13, 15の開成動作、および入力および出力回路19, 21, 23, 25の動作を制御する。

この発明の好ましい実施例のスタック内のシフトレジスタR11ないしRM2は単方向性、2位相形であり、任意の数(m)のストレージセルを各々有する。適当な2位相クロック信号を各レジスタ

トの各完全ワードは、スタックメモリ内容のリフレッシュを達成するために、2個の隣接レジスタ対間で交互にシフトされる。このリフレッシュ技術を実現するためにスタック内にストアされるべき完全ワード数よりも1多いレジスタ対が必要とされる。換言すれば、もしM個のレジスタ対がスタック内にあれば、2nビットのワードがM-1個ストアされる。前述したかつこれからの議論において、用語「アップシフト(upshifting)」および「ダウンシフト(downshifting)」は説明の便宜上でのみ用いられていることに注目されたい。実際のプレーナ回路実施例では、各シフトレジスタは平面内で次のレジスタに隣接して横たわり、かつデータはその平面内のレジスタを介して移動する。

スタックは2状態のうちの一方状態にあるように特徴づけられる。一方状態において、最後のレジスタ対Mを除いて第1レジスタ対1および各々後続するレジスタ対2ないしM-1にはワードがロードされ、かつリフレッシュは各ワードを1個のレジスタ対ダウンするように移動させることに

特開 昭51-50616(4)

へ与えると、電荷パケット(packet)によつて表わされたデータビットを成るレジスタセルから次のセルへ移動させる。レジスタR11ないしRM2は、各レジスタが第1図の矢符12によつて示されるようにその上および下のレジスタから反対方向にデータをシフトさせるように構成される。レジスタR11ないしRM2はさらに対1ないしM内に構成され、完全なコンピュータワードは1ワードが2nビットで作られるように各ペア内にストアされる。従つて各レジスタ対1ないしMは第1段R11, R21, .....RM1, および第2段R12, R22, .....RM2から成る。各ペアは従来の電荷再生手段11によつてスタックの一方側に接続される。Kosonockyのアメリカ合衆国特許第3,758,794号に示されるように、そのような電荷再生は各シフトレジスタ内に協働エレメントを要し、これは従来の再生手段11の一部としてかつアップおよびダウンゲート13, 15とそれぞれ一体的なものとして第1A図および第1B図に概略的に示される。

この発明の好ましい実施例において、2nビット

によつて達成される。それによつてスタックは、第1レジスタ対1が空になるような第2状態へもたられる。次のリフレッシュ動作は各ワードを1レジスタ対アップに後戻りさせ第1リフレッシュ状態にし、そのとき最初のレジスタ対1には1ワードがロードされかつ最後の対Mが空になる。以後、第1リフレッシュ状態は状態Aと称し、かつ第2リフレッシュ状態は状態Bと称する。

クロッキングおよび制御回路27はレジスタ対1ないしM内のデータ移動をモニタしかつこの発明の一部を形成しない他のコンピュータ回路と協働して種々の制御信号を発生する。後述するような信号を発生するためのそのような制御回路の構成および動作はこの技術分野において良く知られている。制御回路27はPUSHおよびPOP信号として表わされる信号を選択的に発生する。この回路27はさらに各リフレッシュ状態を表わす信号を発生し、これは状態A信号および状態B信号と推称される。状態A信号は状態Bに連するまで、すなわち、最終ビットが第1レジスタ対1か

ら第2レジスタ対2へ移動されるまで待機する。それから状態B信号が発生されかつ状態Aに再度遷するまで維持される。これらの信号は、交互のアップ・ダウンリフレッシュ動作およびメモリアクセスを促進させるのに必要な制御に加わる。この関係の性質は以下のリフレッシュ動作のより詳細な議論からより明らかになる。

スタックが状態Aにありかつストアされたデータをリフレッシュする必要がある場合を想定すれば、PUSH信号が制御回路27によつて発生されかつダウンゲート15を閉成させる。他方、アップゲート13は開かれる。ダウンゲート15がPUSH信号によつて閉じられるとき、曲折経路(第2A図および第2B図)は再生手段11およびダウンゲート15を介してスタックのレジスタR11ないしRM2を通つて形成される。その後で、一連の20個のクロックパルスを付与すると、各ワードは従来の再生手段11およびダウンゲート15を通してシフトしかつ次のそれぞれの隣接レジスタ対へダウンし、従つて各ワードをリフレ

ッシュしかつスタックを状態Bに置く。

スタックが成る時間状態Bのままであつた後、再度リフレッシュが必要となる。アップゲート13はPOP信号によつて閉じられかつダウンゲート15はPUSH信号を除去することによつて開かれる。他の一連の20個のクロックパルスを与えると、各ワードはビットごと隣接のより上方のレジスタ対へ戻るようにシフトする。POP信号の付与により形成された経路は第3A図および第3B図により明確に示される。閉成されたアップゲート13によるストアされたビットの移動を示すために、第2レジスタ対2の第2段R22の最後のビット35(第3B図)が、第1クロックパルスによつて第1レジスタ対1の第1段R11の第1セルC1へシフトされる。さらにクロックパルスはそのビットを第1段R11を介し、第1段R11および第2段R12を接続する再生手段11を介して連続的にシフトし、最終的には20番目のクロックパルス後に第1レジスタ対1の第2段R12の20番目のセルC20へ至る。

この点までは、スタックおよびスタックリフレッシュ動作においてレジスタR11ないしRM2の相互接続を議論する目的で、スタックはデータがロードされるものとして考察した。スタックをロードするために、後入れ先出しまたは先入れ先出しモードでその動作を許可させ、かつ同様なスタックに簡単に接続することによつて容易に広げられることができるためには、前述されたPUSHおよびCHIP POP入力回路19, 38ならびにPOPおよびOUT出力回路23, 25が必要になる。

スタックへデータを入れる場合、次のアプローチがこの発明の好ましい実施例に用いられる。もしスタックが状態Aにあれば、第1ワードは第1レジスタ対1にストアされ、かつエントリ中のデータはスタック内で適当なシーケンスを維持するために第1レジスタ対1の第1段R11へ押し入れられる。この要求は、PUSH信号でダウンゲート15を閉じかつ第1レジスタ対1へ1ワードをクロックすることによつて満たされる。第1レジスタ対1を前に占領したワードおよび、スタック

内の他のワードの各々は、新たなデータのエントリと同時に次のそれぞれのより低いレジスタ対へクロックされる。もしスタックが状態Bにあれば、第1ワードは第2レジスタ対2に位置し、かつリフレッシュを達成しかつ状態Aへ引き継ぎを復帰するために第1レジスタを開成させたままにしておくために、エントリ中のワードが第2レジスタ対2へ押し入れられるべきことが所望される。それゆえにPUSH信号が発生されてダウンゲート15を閉じ、かつエントリ中のワードが第2レジスタ対2へクロックされ、一方後続するワードがスタックの1レジスタ対だけシフトダウンされる。

第1レジスタ対1または第2レジスタ対2のいずれかへのデータのエントリを制御するために、前のパラグラフで述べたように、第1および第2の2入力PUSH ANDゲート37, 39がこの発明の好ましい実施例のPUSH回路19(第1図)内で用いられる。これらのANDゲート37, 39の各々はデータエントリ線41から第1入力を受ける。

第1 PUSH ANDゲート37の第2入力48は状態A信号線77に接続され、他方第2 PUSH ANDゲート39の第2入力45は状態B信号線79に接続される。第1 PUSH ANDゲート37の出力は第1レジスタ対1の第1段R11へ結合され、かつ第2 PUSH ANDゲート39の出力は第2レジスタ対2の第1段R21へ接続される。従つて、状態Aにおいて、データは能動化された第1 PUSH ANDゲート37を介して第1レジスタ対1へのみ入れられ、かつ状態Bにおいてデータは能動化された第2 PUSH ANDゲート39を介して第2レジスタ対2へのみ入れられる。

スタックを先入れ先出しモードで動作させかつもう1つのスタックへの出力を通してメモリ拡張を許容するためには、最後の2レジスタ対M、M-1の内容がアクセスできなければならない。なぜならばスタックへ押し入れられた第1ワードはリフレッシュ状態によつてレジスタ対MまたはM-1のいずれかにある。再び、ANDゲート47、49は選択的なアクセスを提供するように用いら

れる。第1 OUT ANDゲート47は最後の一つ手前のシフトレジスタ対M-1の第2段R(M-1)2からの入力51と、状態A信号線77からの第2入力53とを有する。他のOUT ANDゲート49は最後のシフトレジスタ対Mの第2段RM2からの一方入力55と、状態B信号線79からの他方入力57とを有する。これらの2個のOUT ANDゲート47、49はORゲート59に供給されて、増幅器61を介して出力する。

従つて、状態Aにおいて、スタックへ配置された第1ワードは最後の一つ手前のシフトレジスタ対M-1へシフトされる。勿論、状態A信号が存在して、第1 OUT ANDゲート47を能動化する。もしデータがメモリから読み出すべきであれば、アップおよびダウングート13、15は開かれる。そこで、データは能動化された第1 OUT ANDゲート47を介してメモリから読み出されかつ最後の一つ手前のレジスタ対M-1のデータの連続的クロックに回答して増幅器出力63で検出される。ゲート13、15を開けたままにすればシフトされた

出力データが近接のレジスタ対M-2、Mへアップまたはダウンシフトすることによつてスタックに維持されることが妨げられる。

状態Bにおいて、データは、アップおよびダウングート13、15を同様に開きかつ最後のレジスタ対Mをクロックすることによつて、またはダウングート15を開じかつ全レジスタ1ないしMをクロックすることによつて、第2 OUT ANDゲート49を介して最後のレジスタ対Mから読み出される。後者の場合、スタック内の各ワードは1レジスタ対シフトダウンされ、最後の1つ手前のレジスタ対M-1のワードは、能動化された第2 OUT ANDゲート49を介してMレジスタからシフトされたデータワードのあとを継ぐ。

後入れ先出しモードでスタックを動作させかつ拡張された設計で他のスタックメモリへデータをアップシフトするのを容易にするために、先入れ先出し動作のために述べられたものと同様なゲート回路がこの発明の好ましい実施例で用いられる。従つて、それぞれ第1および第2レジスタ対1、

2の第2段R12、R22の出力(フレイン)端によつて与えられる第1および第2 POP ANDゲート65、67が利用される。第1 POP ANDゲート65には状態A信号線77から入力69が与えられ、かつ第2 POP ANDゲート67には状態B信号線79から入力71が与えられる。再び、ANDゲート65、67がORゲート73および増幅器75に与える。

従つて、状態Aにおいて、スタックへロードされた最終ワードは第1レジスタ対1にある。それは、20回レジスタをクロックする間にアップゲート13を開じたままかつダウングート15を開いたままにすることによつてスタックから読み出される。スタックの各ワードは従つて1レジスタ対だけアップシフトされ、第1ワードは第1 POP ANDゲート65を介して存在し得るのみである。

もしスタックが状態Bにあれば、最終ワードは第2レジスタ対2から読み出し得る。この読み出しはアップおよびダウングート13、15の両者を開きかつ第2レジスタ対2のみをクロックすること

によつて達成される。データは能動化された第2 POP ANDゲート67およびORゲート73を通して出力される。

前の説明はこの発明の好ましい実施例のデータ転送方法およびリフレッシュ方法を示したが、それは単片集積回路構造に特に適した構造的適応を示していない。そのような適応は第4A図および第4B図に示される。

いくつかの一般的な特徴は第4A図および第4B図のスタック設計において注目値する。まず、第1A図および第1B図のアップおよびダウングート13, 15は、シフトレジスタソース拡散 $S_1$ ないし $S_n$ とシフトレジスタチャネル $R_{11} \dots R_{M2}$ との間に構成されるサンドイッチ構造81によつてシフトレジスタチャネル $R_{11}$ ないし $R_{M2}$ へ直接的に備えられる。サンドイッチ構造81は共通POP線83および共通PUSH線85を介して制御するようにされる。第2に、第1A図のPOP出力論理21およびPUSH入力論理19は修正されて、第2シフトレジスタ対2の第1段

R21へ3個の入力が必要な状況を提供する。

前述したアップおよびダウンシフトを容易にするサンドイッチ構造81は第5A図および第5B図に詳細に示される。それらは各々チャネルストップ領域89、ソース拡散領域91、2個のアルミニウム電極93, 95および2個のシリコン電極領域97, 99から成る。第4A図、第4B図、第5A図および第5B図の比較が示すように、サンドイッチはシフトレジスタチャネルの幅に適合させる必要がない。

各ソース拡散91はチャネルストップ領域89とともにTを形成し、かつ各第1段シフトレジスタチャネル $R_{11}, R_{21}, R_{31} \dots R_{M2}$ への電荷注入の場を提供するために先行技術におけるように構成され動作される。2個のストップ領域89, 90はシフトレジスタチャネル $R_{11} \dots R_{M2}$ と、ある領域を提供することによつて、ソース91からチャネル $R_{11} \dots R_{M2}$ へ至る電荷導電経路とを規定し、前記ある領域では、少数キャリアが発生されず、かつクロック電圧が何の影響も与えない。

先行技術において、そのようなストップ分層はチャネルドーピングよりもドーピングを数オーダの大きさを増加することによつて達成されていた。

2個の直列経路が各サンドイッチ81のソース領域91から関連のシフトレジスタチャネルへ至るように規定される。各チャネルストップ89の上側では、経路はアルミニウムの上方ゲート電極98とシリコンの上方ゲート電極97とによつて規定される。チャネルストップ89の下側では、各ソース91と各関連のシフトレジスタチャネルとの間の直列経路が、下方アルミニウムゲート電極95と、下方シリコンゲート電極99とによつて与えられる。

これらの電極は公知手段によつてPUSHおよびPOP制御線83, 85ならびに隣接シフトレジスタのドレイン出力101へ接続され、前述の制御された、交互のアップおよびダウンデータリフレッシュ転送を許容する。上部のアルミニウム電極98は共通PUSH線85へ接続されかつアルミニウム電極95は共通POP線83へ接続される。

これらのアルミニウム電極93, 95はPOPまたはPUSH制御信号があるかないかによつて電荷注入を禁止または許容する。各上部シリコンゲート電極97は、ダウン線103によつて、それぞれの先行シフトレジスタ対の第2段 $R_{22}, R_{32}, R_{42}$  (第5A図、第5B図)のドレイン拡散101へ接続される。各下部シリコンゲート電極99は、アップ線105によつて、それぞれすぐ次のシフトレジスタ対の第2段 $R_{32}, R_{42}, R_{52}$  (第5A図、第5B図)のドレイン拡散101へ接続される。

シリコン接続へのこれらのドレインの各々は、たとえばKosonockyのアメリカ合衆国特許第3,758,794号に示されるように再生手段で構成される。従つて、ドレイン領域101のフローティング拡散が用いられてデータ信号をアルミニウムコンタクト107を介してポリシリコン領域97へ転送し、これは良導電体を構成するように高くドーピングされている。一度能動化信号が任意のアルミニウムゲート電極93に与えられると、先行レジスタ第2段 $R_{22}, R_{32}$ または $R_{42}$ の最後のスト

レジスタ 94 内にデータ信号があるかないかによつて、関連のソース位相 91 からそれぞれ連続するレジスタ第 1 段 R31, R41, R51 への電荷の注入が制御され、従つてシフトレジスタ段間のデータ転送が生じる。

上の連続サンドイッチゲート構造 81 の適当な動作はデータの交互アップ・ダウンシフトおよびリフレッシュを許容する。もし PUSH 制御信号が PUSH 制御線 85 へ与えられずかつその結果上部アルミニウム電極 93 へ与えられなければ、電荷注入がソースから不可能となるので各上部連続チャネル 93, 97 は効果的にカットオフされる。従つて、ダウン線 103 を介してデータをダウンシフトさせることができない。逆に、PUSH 信号を付与すると、チャネル 93, 97 を開きかつデータのダウンシフトを許容する。もし POP 制御信号が POP 制御線 83 へ与えられなければ、下部チャネル 95, 99 がカットオフされるので、アップ線 105 を介して下部レジスタの第 2 段 R22 ... RM2 からの電荷注入は不可能となる。再度、

し、かつ簡単な集積回路の実施例に役立つ。しかしながら、第 1 A 図に示されるように第 2 レジスタ 2 の第 1 段 R21 へ 3 本のリードを組み入れることは構造を複雑にする。第 1 A および 1 B 図に関して既述したゲート方法はなお用いられるが、2 入力よりも 3 入力を用いる必要性は後で詳述するように第 4 A および 4 B 図の構造によつて解消される。

余分な入力は AND ゲート 113 および OR ゲート 115 を付加することによつて解消されて前述した POP 出力回路 21 と PUSH 入力回路 19 とを相互に関係づける。AND ゲート 113 は、第 1 レジスタ対 1 の第 2 段 R12 のフレイム 101 からの一入力 117 と状態 A 信号線 77 からの一入力 119 とを受ける。OR ゲート 115 は AND ゲート 113 からの一入力 121 と第 2 PUSH AND ゲート 39 からの一入力 122 とを受ける。OR ゲート 115 の出力 123 は、第 2 シフトレジスタ対 2 の第 1 段 R21 内でサンドイッチエレメント 81 の上部シリコン電極 97 へ接続される。

POP 信号を付与すると、電荷注入が可能となりかつアップ線 105 を介して隣接の上部レジスタ対へのデータ転送が可能となる。

勿論、すべてのデータ転送は、既述したように適当なクロック信号によつて駆動される。また、電荷注入を制御するために POP および PUSH 信号に対する適当な電圧を選択することはこの分野において周知である。

他の観点から、第 4 A および第 4 B 図ならびに第 5 A および第 5 B 図のサンドイッチ構造の動作は第 6 図に示される従来の論理回路から類推される。各上部直列経路 93, 97 および下部直列経路 95, 99 はそれぞれ 2 入力 AND ゲート 107, 109 に相当し、かつデータ（電荷）信号をシフトレジスタチャネルへ注入するためのいずれかの直列通路 99, 95; 93, 97 の能力は均等に OR ゲート 111 によつて 2 個の AND ゲート 107, 109 の出力を「OR 処理する」。

見られるように、この発明の好ましい実施例のサンドイッチ構造 81 は簡単かつ高い対称性を有

それゆえに、スタックシステムが状態 A にありかつスタック内の第 1 ワードが定義によつて第 1 レジスタ対 1 にあるとき、AND ゲート 113 は能動化され、OR ゲート 115 を介して第 2 レジスタ対 2 の第 1 段 R21 へのダウン経路を与える。この経路はリフレッシュのダウンサイクルにおいてまたはスタックロード動作において用いられる。同時に、第 2 PUSH AND ゲート 39 はなおも OR ゲート 115 を介して第 2 レジスタ対 2 の第 1 段 R22 へ結合される。

要約すれば、スタックの動作は状態 A、状態 B、PUSH、POP およびクロック信号によつて制御される。すべての場合において、クロック信号は電荷の形態でまたは無電荷の形態でシフトレジスタ対 1 ないし M を介して単方向にデータビットを進める。状態 A、状態 B、PUSH および POP 信号は単方向シフトデータを回送し、命令、データの入力および出力ならびにデータリフレッシュを達成する。

もしスタックがロードされるべきであれば、



PUSH 信号が与えられる。全ダウン経路 10-5 はそれによつて能動化され、直列データをスタックの下部レジスタへ転送させる。もしスタックが状態 A にあれば、第 1 PUSH AND ゲート 37 が能動化され、他方第 2 PUSH AND ゲート 39 が不能動化される。電荷の形態のデータは上部シリコン電極 97 を介して第 1 PUSH AND ゲート 37 から第 1 レジスタ対 1 の第 1 段 R 21 へ注入される。もしスタックが状態 B にあれば、第 2 PUSH AND ゲート 39 が能動化され、かつデータは同様にして第 2 PUSH AND ゲート 39 を通して第 2 レジスタ対 2 の第 1 段 R 21 へシフトされる。

もしデータが後入れ先出し状態でスタックから引き出されれば、それは第 1 または第 2 レジスタ対 1, 2 のいずれかから出力される。状態 A において、POP 信号が与えられ、アップ線 105 および下部直列経路 95, 99 を介して上向きデータ転送を能動化する。転送経路がそのように能動化されると、クロック動作によつて第 2 レジスタ対

いずれかから出力される。状態 A において、アップおよびダウン経路 103, 105 が PUSH および POP 信号を与えないことによつて阻止されている間に最後の一つ手前のレジスタ M-1 は別にクロックされる。それによつてスタックの最終ワードは第 1 OUT AND ゲート 47 を介してクロック出力される。状態 B において、POP 信号が与えられて全ダウン経路 103 および 2 回クロックされる全体のスタックを閉じる。それによつて各データワードは 1 レジスタ分ダウン方向へ移動され、かつスタック内の最終ワードは同時に第 2 OUT AND ゲート 49 を通してスタックからクロック出力される。

リフレッシュが必要になるとき、スタックへの全アクセスが禁止される。もしスタックが状態 A にあれば、POP 信号が与えられ、かつ連続した 2 回クロック信号によつて各ワードは、第 1 A 図、第 1 B 図、第 2 A 図および第 2 B 図に関して前述されたようにダウン方向経路に関連の電荷再生手段 11 を介して、1 レジスタ対だけダウン

2 内のデータワードが第 1 レジスタ対 1 へシフトし、第 3 レジスタ対 3 内のワードが第 2 レジスタ対 2 へシフトアップし、以下同様であり、他方第 1 レジスタ対 1 内のもとのワードは第 1 POP AND ゲート 65 を介して外へシフトされる。第 2 レジスタ対 2 の第 1 段 R 21 の上部アルミニウム電極に PUSH 信号がないと、第 1 レジスタ対 1 のもとのワードは AND ゲート 113, OR ゲート 115 および上部シリコン電極 97 接続を介して第 2 レジスタ対 2 へシフトされるのが阻止される。状態 B において、後入れ先出し動作は、POP および PUSH 信号の両者を与えないでかつ第 2 シフトレジスタ対 2 だけをクロックすることによつて達成される。出力されたデータを第 1 または第 3 レジスタ対 1, 3 のいずれかへシフトするのを避けながら、出力は第 2 POP AND ゲート 67 を介して第 2 シフトレジスタ対 2 から与えられる。

もしデータが先入れ先出し状態でスタックから引き出されるべきであれば、それは最後のレジスタ対 M または一つの手前のレジスタ対 M-1 のい

シフトされる。もしスタックが状態 B にあれば、PUSH 信号が与えられてかつ連続した 2 回クロック信号によつて各ワードは、第 1 A 図、第 1 B 図、第 3 A 図および第 3 B 図に関して前述されたようにアップ方向経路に関連の電荷再生手段を介して、1 レジスタ対をアップシフトする。

この発明の好ましい実施例のスタック構造は単チップ上に有利に構成される。そのように構成されたとき、PUSH および CHIP POP 入力回路 19, 23 ならびに POP および OUT 出力回路 21, 25 が完全に両立できて、第 7 図および第 8 図に示されるように簡単な相互チップ接続によつてスタックの拡張を容易にする。各チップ 113 の OUT 端子 63 は次に続くチップ 113 の PUSH 入力 41 へ接続され、かつ各後続チップ 113 の POP 出力 116 は先行チップ 113 の CHIP POP 接続 23 へ接続される。後述するように、これらの接続および回路は前述の 1 チップスタックメモリ機構の方法に基づいてアップおよびダウンデータ転送を許容し、他方何のデータも損失し

ないことを鑑察にする。

データのダウンシフトの間、信号がPUSH線85に与えられて上部アルミニウム電極93を介してソース91からの電荷注入を許容する。加えて、状態A信号もまた与えられる。ダウンシフトの間のOUTおよびPUSH回路19, 25の協働を考察するために、スタックがM-1段へ満たされることを想定しよう。2ロビット(1ワード)のダウンシフトを考察すれば、最後の1つ手前のレジスタM-1内の1ワードは第1出力ANDゲート47および第2チップの第1PUSH ANDゲート37を介してシフトされて第2チップの第1レジスタ対20へ至る。そのワードもまた第1チップの最終レジスタMへシフトされる。

後続のアップシフトの場合、たとえばリフレクシュの場合にデータがなくならないようにレジスタ対および第1レジスタ対20内に二重にデータが存在する必要がある。そのようなアップシフトにおいて、POP信号が下部直列チャネル95, 99を開けるPOP制御線83へ与えられ、かつ

状態B信号が与えられる。従つてアップ経路が第2チップの第2レジスタ対22からPOP出力116およびCHIP POP入力23を介して第1チップの最終レジスタMへ存在する。しかしながら、ANDゲート113および第1POP ANDゲート69が不能動化されているので、第2チップの第1レジスタ対20から第1チップまたは第2チップの第2レジスタ対22への経路が役に立たない。レジスタがクロックされる時、第2チップの第1レジスタ対内のデータはなくなる。しかしながら、同時に第1チップのMレジスタ内の同一データがM-1レジスタへアップシフトされ任意のデータ損失を防ぎかつ順にデータを維持する。同時に、第2チップの第2レジスタ対22からのデータがアップ線105を介して第1レジスタ対20へ、かつ第2POP ANDゲート67、ORゲート73、CHIP POP増幅器24および下部直列経路95, 99を介してMレジスタ対へシフトされ、再度Mレジスタと第2チップの第1レジスタ対20との間に冗長を確立する。

この発明の好ましい実施例のゲート方法の特に有利な性質はいまや明らかである。2個の簡単な接続はデータ損失なしに2個の電荷伝送素子スタックメモリチップ間のデータのアップおよびダウンシフトを容易にする。データの書込および読出は単チップメモリスタックに対してすでに述べられたように達成される。

一般に、この発明の好ましい実施例のスタック構造および機構は、達成されたデータ転送および入出力動作において大きな融通性を許容する。必要なことは適当な制御信号およびクロックシーケンスが与えられることだけである。それゆえに、上の説明は、この発明の好ましい実施例において行なわれる可能なデータ転送を論じ尽そうとするものではない。しかしながら、開示されたスタックメモリの構造、動作および制御から、この技術の分野における通常の技術者はこの発明の範囲および精神を離れることなく、説明された好ましい実施例の動作および機構において多くの変形を容易に達成することができるであろう。それゆえに、

前掲の特許請求の範囲内において、この発明が特定の述べられたようなものよりほかにも実施されよう。

なおこの発明の実施態様は以下に示すものである。

(1) データビットが、ストアされた電荷のパケットによつて表わされる複数個のシフトレジスタを備え、各レジスタは入力端および出力端を有し、かつ各レジスタがその隣接レジスタの方向と反対方向にシフトするように一方の次に他方が積み重ねられかつ配向されかつクロックされ、および

前記レジスタを相互接続するために選択的に動作して、前記レジスタを介して前記データビットの各々のダウンシフトおよび前記データビットの各々の再生を能動化し、または前記レジスタを介して前記データビットの各々のアップシフトおよび前記データビットの各々の再生を能動化する手段、を備えたデータストレージ装置。

(2) 前記相互接続手段は、さらに、前記ダウンシフトまたは前記アップシフトの完了で前記レジ

スタ内の前記データビットの直列順序の維持を可能にする実施態様第(1)項記載のデータストレージ装置。

(3) 前記シフトレジスタのスタックへデータビットを入れる手段、

前記スタックへ入れられた最後の一通のデータビットを読み出す手段、および

前記スタックへ入れられた最初の一連のデータビットを読み出す手段をさらに含む実施態様第(2)項記載のデータストレージ装置。

(4) 前記スタックの最終レジスタへデータビットを入れる手段をさらに含む実施態様第(3)項記載のデータストレージ装置。

(5) 前記シフトレジスタの各連続的な対はデータワードを含むビットをストアし、前記対の各々の第1レジスタはデータワードの最初の半分をストアするための第1段を含み、かつ前記対の各々の第2レジスタはその同じデータワードの後の半分をストアするための第2段を含む実施態様第(2)項記載のデータストレージ装置。

載のデータストレージ装置。

(7) 前記ダウングート手段、アップゲート手段および選択的駆動手段は、

各前記第1段シフトレジスタの導電チャネルへ電荷を注入するための電荷ソース手段、

第1アルミニウム電極と第1シリコン領域とを含み、前記ソース手段からの電荷注入を導通させかつ制御する第1経路、

第2アルミニウム電極と第2シリコン領域とを含み、前記ソース手段からの電荷注入を導通させかつ制御する第2経路、

各前記第2段レジスタの出力端を、各前記第2段にそれぞれ後続しかつ隣接するレジスタ対の第1段の前記第1シリコン領域へ接続するための接続手段、

各前記第2段レジスタの出力端を、各前記第2段にそれぞれ先行しかつ隣接するレジスタ対の第1段の前記第2シリコン領域へ接続するための接続手段、

各前記第1アルミニウム電極へ接続される第1

(6) 前記シフトレジスタは電荷転送素子シフトレジスタから成り、ならびにデータビットをダウンシフトし、アップシフトし、かつ再生するための前記レジスタを相互接続するための前記手段は、前記シフトレジスタの各々の出力端での電荷再生手段、

各前記第1段レジスタの出力端から前記再生手段を通してそれぞれ対になつた前記第2段レジスタの入力端への前記データビットの転送を可能にするための手段、

各第2段レジスタの各出力端から前記再生手段を通してそれぞれ後続するレジスタ対の第1段レジスタの入力端への前記データビットの転送を可能にするためのダウングート手段、

各第2段レジスタの出力端から前記再生手段を通してそれぞれ先行するレジスタ対の第1段レジスタの入力端への転送を可能にするためのアップゲート手段、および

前記アップゲート手段およびダウングート手段を選択的に駆動する手段を含む実施態様第(4)項記

制御線、および

各前記第2アルミニウム電極へ接続される第2制御線を含む実施態様第(5)項記載のデータストレージ装置。

(8) 第1および第2制御信号を発生する手段をさらに含み、かつ前記スタックへデータを入れるための前記手段は、

データエントリ線、および

前記第1制御信号によつて駆動されて前記線から前記スタックの第1の前記レジスタ対の第1段へデータを入れ、かつ前記第2制御信号によつて駆動されて前記線から前記スタックの第2の前記レジスタ対の第1段へデータを入れる手段を含む実施態様第(7)項記載のデータストレージ装置。

(9) データを前記第1レジスタ対および前記第2レジスタ対へ入れるための前記手段は、

入力を前記データエントリ線と前記第1制御信号とから受け、かつその出力が前記第1レジスタ対の第1段の第1シリコン領域へ接続される第1ANDゲート、ならびに

入力を前記データエンタリと前記第2制御信号とから受け、かつその出力が前記第2レジスタ対の第1段の第2シリコン領域へ接続される第2ANDゲートを含む実施態様第(8)項記載のデータストレージ装置。

09 前記スタックへ入れられる最終データを読み出すための前記手段は、

前記第1制御信号によつて駆動されて前記第1レジスタ対からデータを読み出し、かつ前記第2制御信号によつて駆動されて前記第2レジスタ対からデータを読み出す手段を含む実施態様第(9)項記載のデータストレージ装置。

010 前記第1レジスタ対および前記第2レジスタ対からデータを読み出す前記手段は、

前記第1レジスタ対の第2段出力端と前記第1制御信号線とからの入力を有する第3ANDゲート、

前記第2レジスタ対の第2段出力端と前記第2制御信号線とからの入力を有する第4ANDゲート、ならびに

読み出す手段を含む実施態様第(10)項記載のデータストレージ装置。

011 前記最終およびその一つ手前のレジスタ対からデータを読み出すための前記手段は、

前記最終の一つ手前のレジスタ対の第2段出力端と前記第1制御信号線とからの入力を有する第5ANDゲート、

前記最終レジスタ対の出力端と前記第2制御信号線とからの入力を有する第7ANDゲート、ならびに

前記第6および第7ANDゲートのそれぞれの出力からの入力を有する第3ORゲートを含む実施態様第(11)項記載のデータストレージ装置。

012 データワードが直列順序で連続的にストアされるシフトレジスタのスタック、および

前記ワードの連続的順序を妨げることなく前記スタック内で前記データワードをアップまたはダウンシフトする手段から成るデータストレージ装置。

013 前記シフトレジスタは電荷転送素子シフト

前記第3および第4ANDゲートの各々の出力から入力を受ける第1ORゲートを含む実施態様第(12)項記載のデータストレージ装置。

014 前記第1レジスタ対の第2段の出力端を前記第2レジスタ対の第1段の第1シリコン領域へ接続するための前記接続手段は、さらに

前記第1レジスタ対の前記第2段の出力と前記第1制御信号線とから入力を受ける第5ANDゲート、ならびに

前記第5ANDゲートの出力と前記第2ANDゲートの出力とから入力を受け、かつその出力が前記第2レジスタ対の第1段の第1シリコン領域へ接続される第2ORゲートを含む実施態様第(13)項記載のデータストレージ装置。

015 前記スタックへ入れられた第1データを読み出すための前記手段は、

前記第1制御信号によつて駆動されて前記スタックの最終の一つ手前のレジスタ対からデータを読み出し、かつ前記第2制御信号によつて駆動されて前記スタックの最終レジスタ対からデータを

レジスタであり、かつ前記データワードをシフトする前記手段は、

データワードの最終ビットをストアするレジスタを、すぐ前に先行するデータワードの最初のビットをストアするレジスタへ接続するアップゲート手段、

データワードの最終ビットをストアするレジスタを、すぐ後に後続するデータワードの最初のビットをストアするレジスタへ接続するダウンゲート手段、

各データワードの最初および最終ビットを包含するレジスタの中間にあるレジスタを接続してそれらの間の直列データ転送を容易にする中間ゲート手段、ならびに

前記アップゲート手段および前記ダウンゲート手段を選択的に能動化する手段から成る実施態様第(14)項記載の装置。

016 電荷転送素子シフトレジスタのスタックから成るメモリにおいて、電荷パケットの形態で前記レジスタの少くとも1個へのデータビットエン

トリを制御する装置であつて、

ソース領域、

前記ソース領域と前記少なくとも1個のシフトレジスタの導電チャネルとの間に介在され、少なくとも1個の制御領域を含む第1導電経路、ならびに前記ソース領域と前記少なくとも1個のシフトレジスタの導電チャネルとの間に介在され、少なくとも1個の制御領域を含む第2導電経路から成る装置。

⑧ 前記第1導電経路は第1アルミニウム制御領域と第1シリコン制御領域とを含み、かつ前記第2導電経路は第2アルミニウム制御領域と第2シリコン制御領域とを含む実施形態第⑦項記載のデータエントリ制御装置。

⑨ ストアされた電荷があるかないかによつてデータビットが表わされる一連のシフトレジスタにストアされたデータをリフレッシュする方法であつて、

各々の前記データビットを同時に再生し、かつ各々の前記データビットを同時に再生する間に

データワードをシフトするリフレッシュ方法。

#### 4、図面の簡単な説明

第1A図および第1B図はこの発明の好ましい実施例の簡易概略図を含む。

第2A図および第2B図は1リフレッシュモードでの第1A図および第1B図の実施例において形成されたデータ転送経路の概略図を含む。

第3A図および第3B図は他のリフレッシュモードでの第1A図および第1B図の実施例において形成されたデータ転送経路の概略図を含む。

第4A図および第4B図は第1A図および第1B図の実施例の特に有利な単チップ集積回路実施の概略図を含む。

第5A図および第5B図は第4A図および第4B図に示されるサンドイッチゲートおよび制御回路の拡大詳細図を含む。

第6図は第4A図および第4B図ならびに第5A図および第5B図のサンドイッチ構造の動作を表わす論理図である。

第7図は好ましい実施例の設計拡張の概略図で

特開 昭51-50616(13)

続いて前記スタックでデータビットを後戻りさせるようにシフトするリフレッシュ方法。

⑩ 複数個の再生手段を含む電荷転送素子シフトレジスタのスタックにストアされたデータビットをリフレッシュする方法であつて、

前記スタック内をダウンしてかつ少なくとも1個の前記再生手段を通して各々のデータビットをシフトし、かつ

続いて前記スタック内を後戻りしかつ少なくとも1個の前記再生手段を通してデータビットをシフトするリフレッシュ方法。

⑪ 各々が再生手段を含む電荷転送素子シフトレジスタのスタック内に連続的に配列されたワード形態でストアされたデータをリフレッシュする方法であつて、

前記スタックの少なくとも1ワード位置ダウンしかつ少なくとも1個の再生手段を通して各データワードをシフトし、かつ

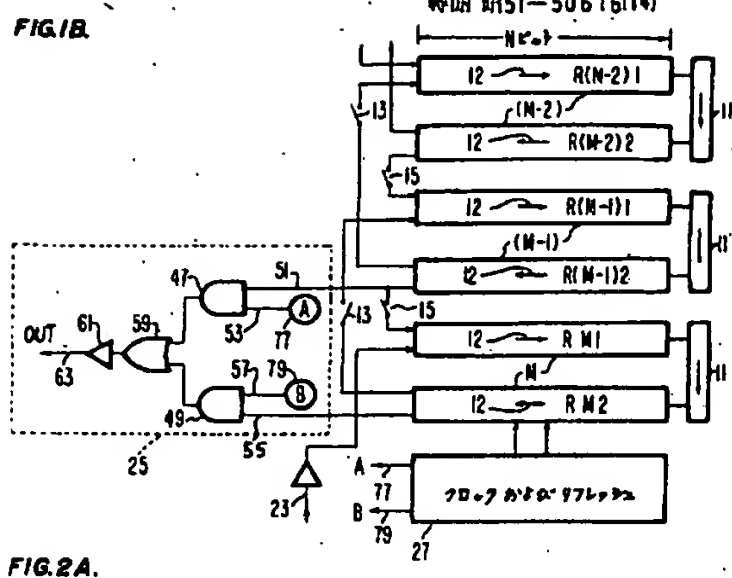
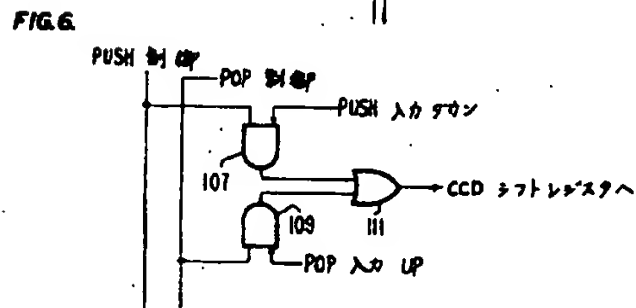
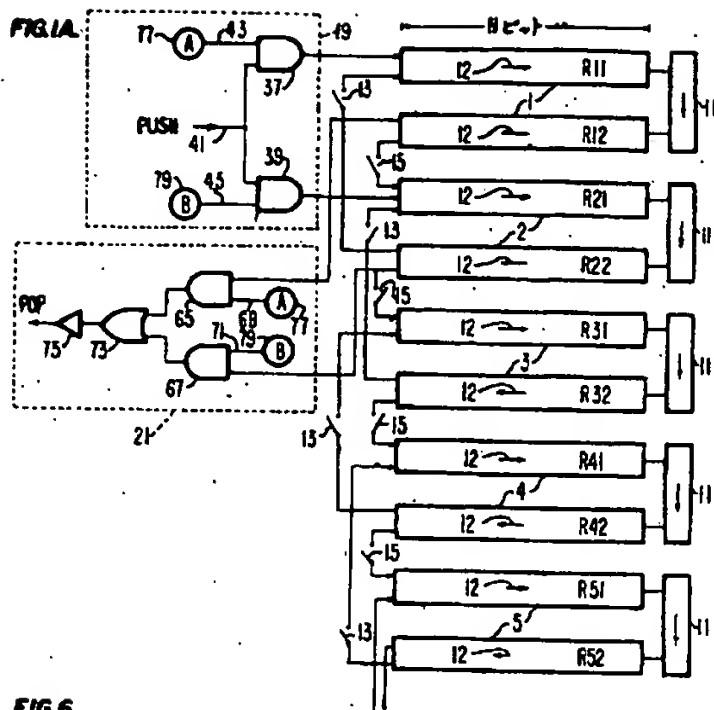
続いて前記スタックの少なくとも1ワード位置後戻りさせかつ少なくとも1個の再生手段を通して各

ある。

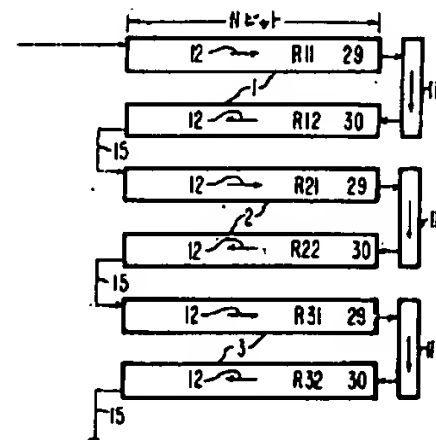
第8図は第7図の設計拡張の2チップエレメント間の論理接続を詳細に示す概略図である。

図において、1~Mはレジスタ対、13はアップゲート、15はダウンゲート、11は再生手段、19はPUSH入力回路、21はPOP出力回路、23はCHIP POP入力回路、25はOUT出力回路、27はクロックおよび制御回路を示す。

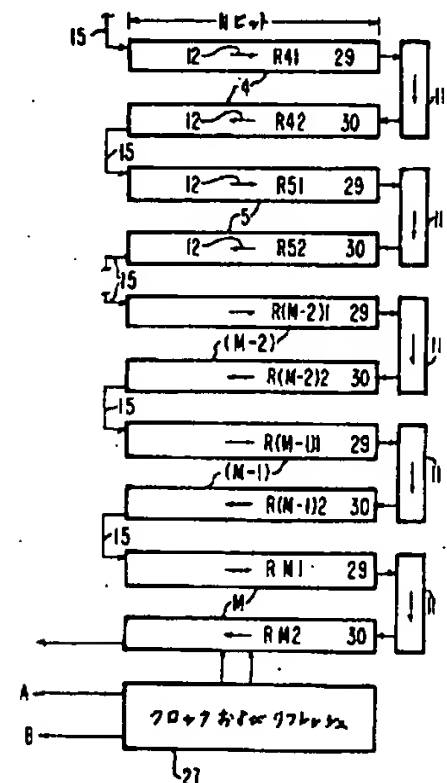
特許出願人 パロース・コーポレーション  
代理人 弁理士 深見久郎



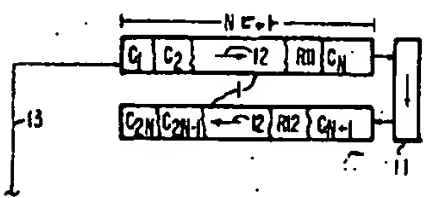
**FIG. 2A.**



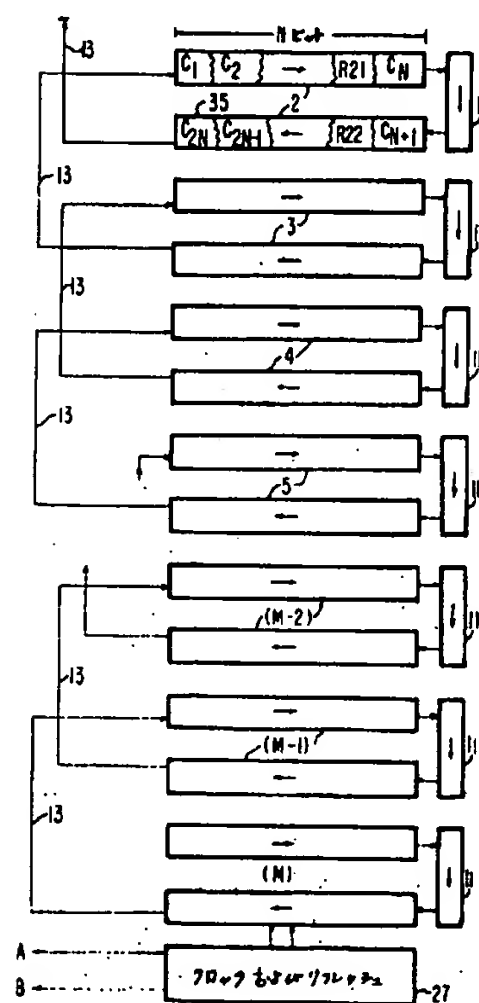
**FIG. 2B.**



**FIG. 3A.**



**FIG. 3B.**



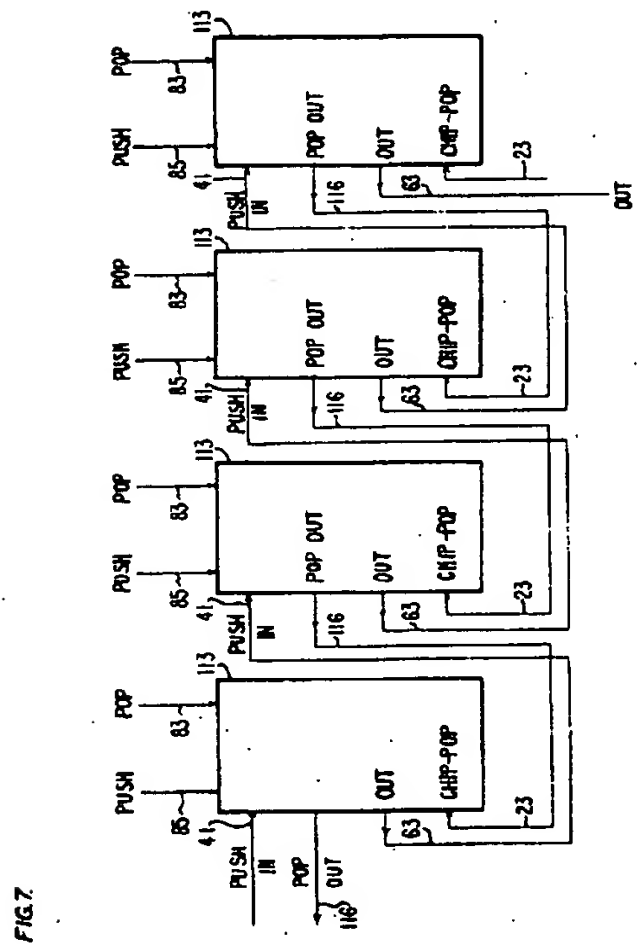
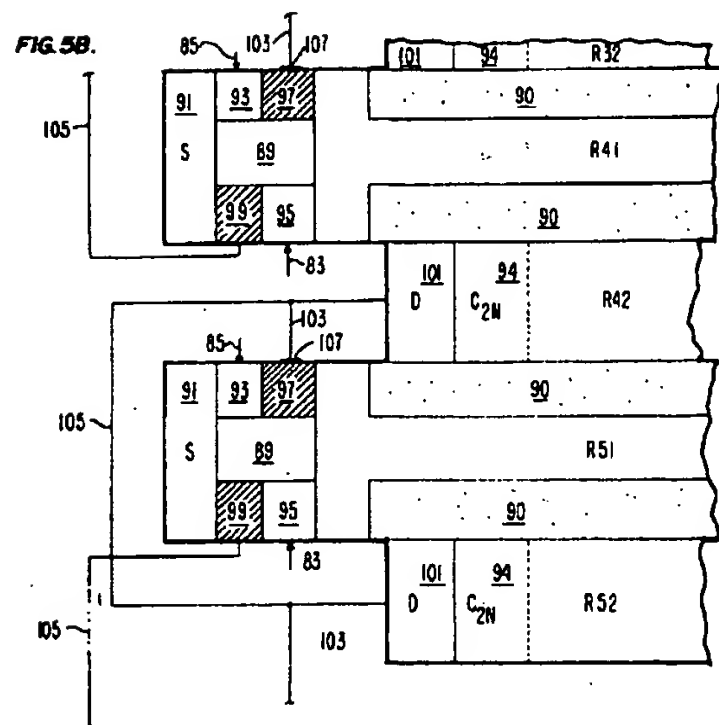
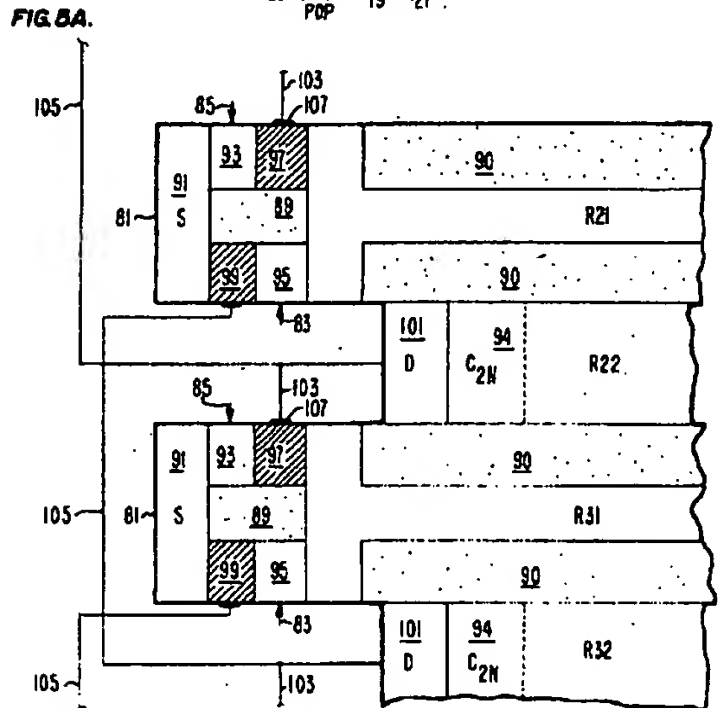
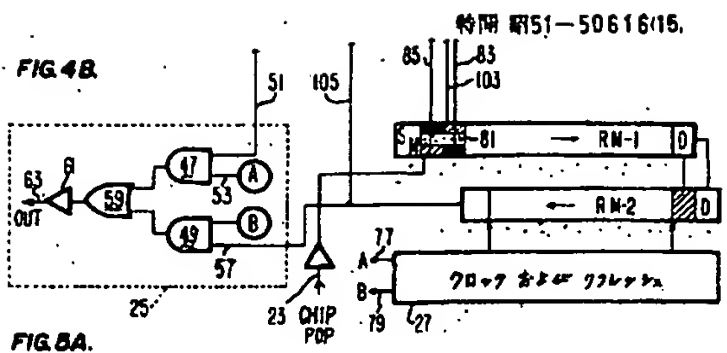
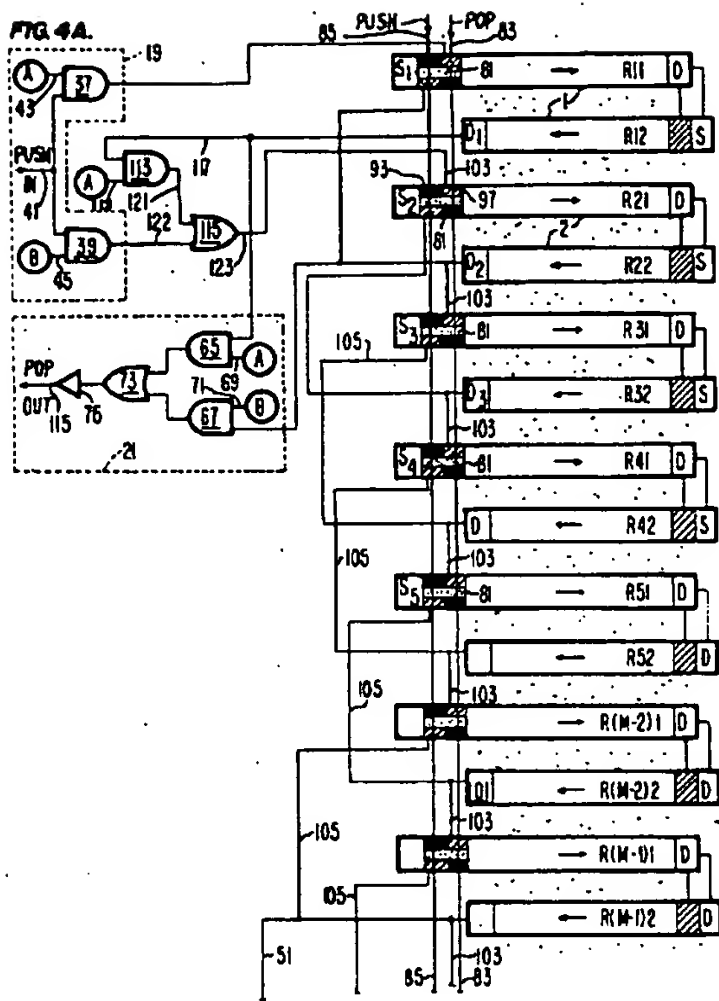
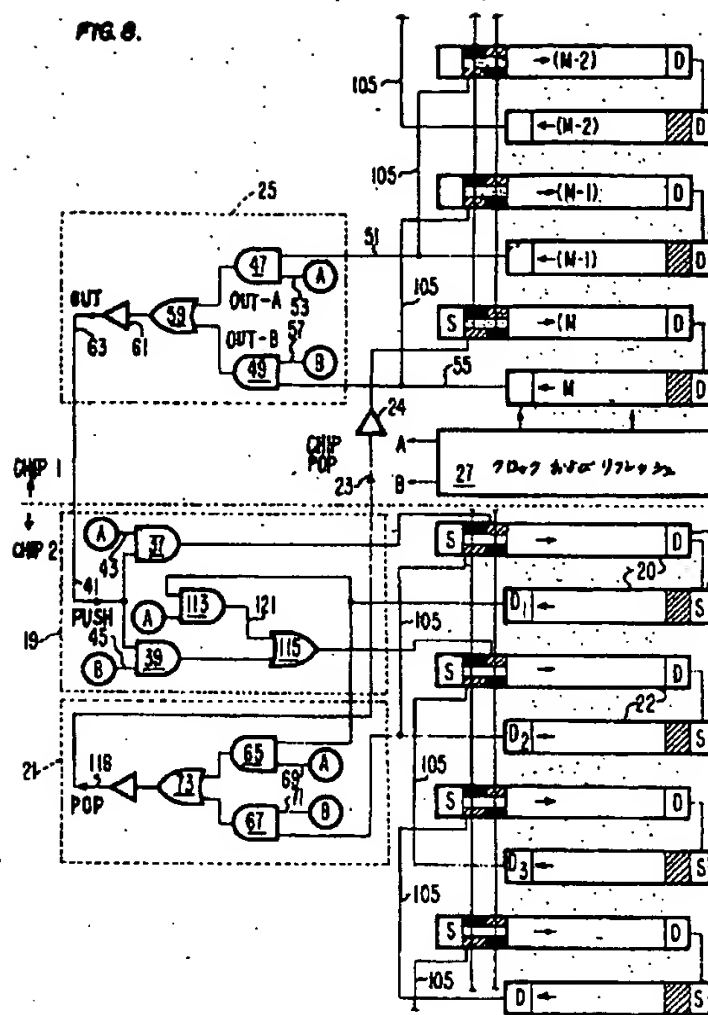


FIG. 8.



● 添付書類の目録

- |                |        |
|----------------|--------|
| (1) 特許願        | 副本 1 通 |
| (2) 明細書        | 1 通    |
| (3) 図面         | 1 通    |
| (4) 優先権主張宣言書   | 1 通    |
| (5) 優先権証明書及び訳文 | 各 1 通  |
| (6) 委任状及び訳文    | 各 1 通  |
| (7) 審査請求書      | 1 通    |
| (8) 上申書        | 1 通    |

7. 前記以外の発明者および代理人

(1) 発明者

(2) 代理人

~~住所 大阪市北区南森町 1-1 番地 八千代第 1 ビル~~

~~電話 大阪(06) 661-6000(代)~~

~~氏名 弁理士(7566) 西 教 主 郎~~



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**